

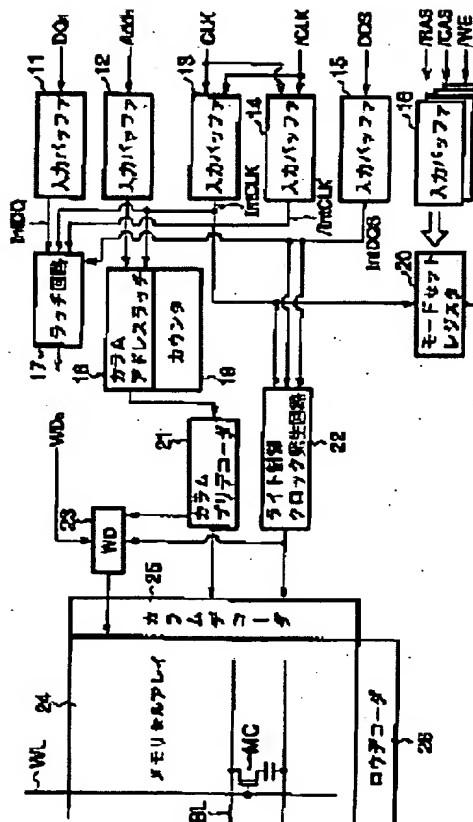
SEMICONDUCTOR MEMORY DEVICE

Patent number: JP2000339957
Publication date: 2000-12-08
Inventor: SUEMATSU YASUHIRO
Applicant: TOSHIBA MICROELECTRONICS CORP.; TOSHIBA CORP
Classification:
 - International: G11C11/407
 - european:
Application number: JP19990152744 19990531
Priority number(s):

Abstract of JP2000339957

PROBLEM TO BE SOLVED: To provide a semiconductor memory device provided with a write system by which a skew generated between a clock signal and a DQ strobe signal can be permitted to the full.

SOLUTION: In a DDR-SDRAM, the input timing of a signal to every pin is prescribed by the point of intersection of a clock signal CLK with a clock signal /CLK and by both the edge of the rise of a DQ strobe signal (DSQ) and the edge of its fall. The DDR-SDRAM is featured in such a way that, on the basis of the logical product of the clock signals CLK, /CLK with the DQ strobe signal (DSQ), write data which is input to a write driver(WD) 23 is controlled. Since the logical product of the clock signals with the strobe signal is used, it is possible to prevent a skew from being generated between the signals, and the margin of a write operation can be reduced. In addition, since the skew is not increased more than necessary, an erroneous write operation is prevented, and the reliability of this semiconductor memory device can be enhanced.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-339957

(P2000-339957A)

(43)公開日 平成12年12月8日 (2000.12.8)

(51) Int.Cl.
G 11 C 11/407

識別記号

F I
G 11 C 11/34

テマコード(参考)

3 6 2 S 5 B 0 2 4

審査請求 未請求 請求項の数5 OL (全14頁)

(21)出願番号 特願平11-152744

(22)出願日 平成11年5月31日 (1999.5.31)

(71)出願人 000221199
東芝マイクロエレクトロニクス株式会社
神奈川県川崎市川崎区駅前本町25番地1

(71)出願人 000003078

株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72)発明者 末松 靖弘
神奈川県川崎市川崎区駅前本町25番地1
東芝マイクロエレクトロニクス株式会社内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

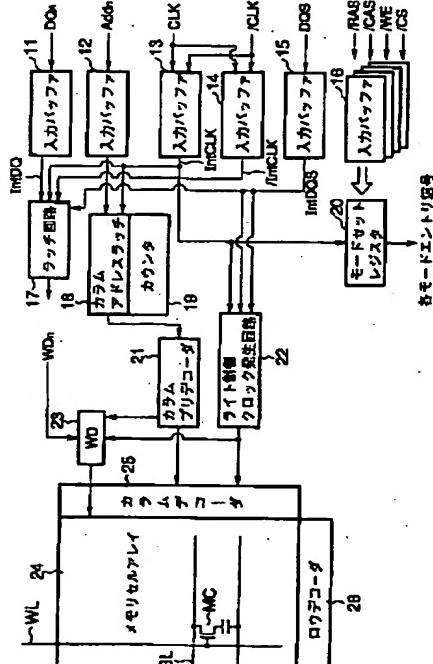
Fターム(参考) 5B024 AA03 BA21 BA23 BA25 CA07
CA11

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】クロック信号とDQストローブ信号間で生ずるスキューを最大限に許容できるライトシステムを備えた半導体記憶装置を提供することを目的とする。

【解決手段】各ピンへの信号の入力タイミングの規定がクロック信号CLK, /CLKの交点と、DQストローブ信号DQSの立ち上がりエッジと立ち下がりエッジの両方で行われるDDR-SDRAMにおいて、クロック信号CLK, /CLKとDQストローブ信号DQSとの論理積に基づいて、ライトドライバWDに入力するライトデータを制御することを特徴としている。クロック信号とDQストローブ信号との論理積を取っているので、これらの信号間にスキューが生じるのを防止でき、ライト動作のマージンの減少を抑制できる。また、必要以上にスキューが大きくなることないので、誤書き込みを防止して信頼性を向上できる。



【特許請求の範囲】

【請求項1】 第1のクロック信号のロウレベルからハイレベルへの立ち上がりと、この第1のクロック信号とは逆相の第2のクロック信号のハイレベルからロウレベルへの立ち下がりの交点でライトコマンドとカラムアドレスの入力タイミングが規定され、ライト時に外部から入力され、リード時にはチップから出力されるDQストローブ信号の立ち上がりと立ち下がりの両方でライトデータとライトマスクデータの入力タイミングが規定される半導体記憶装置において、
上記第1、第2のクロック信号と上記DQストローブ信号との論理積に基づいて、ライトドライバに入力されるライトデータを制御することを特徴とする半導体記憶装置。

【請求項2】 第1のクロック信号のロウレベルからハイレベルへの立ち上がりと、この第1のクロック信号とは逆相の第2のクロック信号のハイレベルからロウレベルへの立ち下がりの交点でライトコマンドとカラムアドレスの入力タイミングが規定され、ライト時に外部から入力され、リード時にはチップから出力されるDQストローブ信号の立ち上がりと立ち下がりの両方でライトデータとライトマスクデータの入力タイミングが規定される半導体記憶装置において、

カラム選択信号がハイレベルになる期間と、ライトドライバの活性化期間を上記第1、第2のクロック信号と上記DQストローブ信号との論理積に基づいて制御することを特徴とする半導体記憶装置。

【請求項3】 第1のクロック信号のロウレベルからハイレベルへの立ち上がりと、この第1のクロック信号とは逆相の第2のクロック信号のハイレベルからロウレベルへの立ち下がりの交点でライトコマンドとカラムアドレスの入力タイミングが規定され、ライト時に外部から入力され、リード時にはチップから出力されるDQストローブ信号の立ち上がりと立ち下がりの両方でライトデータとライトマスクデータの入力タイミングが規定される半導体記憶装置において、

ライトデータが入力される第1の入力バッファの出力信号、上記第1、第2のクロック信号が入力される第2の入力バッファの出力信号、上記第1、第2のクロック信号が入力される第3の入力バッファの出力信号、及び上記DQストローブ信号が入力される第4の入力バッファの出力信号がそれぞれ入力され、上記第1の入力バッファの出力信号を、上記第2、第3の入力バッファの出力信号と上記第4の入力バッファの出力信号の論理積に基づいてラッチするラッチ回路を設けたことを特徴とする半導体記憶装置。

【請求項4】 第1のクロック信号のロウレベルからハイレベルへの立ち上がりと、この第1のクロック信号とは逆相の第2のクロック信号のハイレベルからロウレベルへの立ち下がりの交点でライトコマンドとカラムアド

レスの入力タイミングが規定され、ライト時に外部から入力され、リード時にはチップから出力されるDQストローブ信号の立ち上がりと立ち下がりの両方でライトデータとライトマスクデータの入力タイミングが規定される半導体記憶装置において、

入力されたライトデータをDQストローブ信号のロウレベルからハイレベルへの立ち上がりに同期してラッチする第1の一次ラッチと、上記入力されたライトデータを上記DQストローブ信号のハイレベルからロウレベルへの立ち下がりに同期してラッチする第2の一次ラッチと、上記第1、第2の一次ラッチにラッチしたデータを、上記DQストローブ信号と上記第1、第2のクロック信号の論理積に基づいて、上記第1または第2のクロック信号の半周期保持する二次ラッチとを備え、この二次ラッチの出力信号をライトドライバにライトデータとして供給するライト制御クロック発生回路を設けたことを特徴とする半導体記憶装置。

【請求項5】 第1のクロック信号のロウレベルからハイレベルへの立ち上がりと、この第1のクロック信号とは逆相の第2のクロック信号のハイレベルからロウレベルへの立ち下がりの交点でライトコマンドとカラムアドレスの入力タイミングが規定され、ライト時に外部から入力され、リード時にはチップから出力されるDQストローブ信号の立ち上がりと立ち下がりの両方でライトデータとライトマスクデータの入力タイミングが規定される半導体記憶装置において、

入力されたライトデータをDQストローブ信号のロウレベルからハイレベルへの立ち上がりに同期してラッチする第1の一次ラッチと、上記入力されたライトデータを上記DQストローブ信号のハイレベルからロウレベルへの立ち下がりに同期してラッチする第2の一次ラッチと、上記第1の一次ラッチにラッチしたデータを、上記DQストローブ信号と上記第1、第2のクロック信号の論理積に基づいて、上記第1または第2のクロック信号の一周期保持する第1の二次ラッチと、上記第2の一次ラッチにラッチしたデータを、上記DQストローブ信号と上記第1、第2のクロック信号の論理積に基づいて、上記第1または第2のクロック信号の一周期保持する第2の二次ラッチとを備え、これら第1、第2の二次ラッチの出力信号をライトドライバにライトデータとして供給するライト制御クロック発生回路を設けたことを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体記憶装置に関するもので、特にDDR(Double Data Rate)-SDRAMに関する。

【0002】

【従来の技術】一般に、SDRAMにおいては、クロック信号CLKのロウ（“L”）レベルからハイ

("H") レベルへの立ち上がりエッジで、コマンド（例えば／CS, ／RAS, ／CAS, ／WE等）ピン、アドレスピン、DQピン及びDQMピン等への信号の入力タイミングを設定している。

【0003】図9は、SDRAMのライトモードにおける各ピンへの入力信号波形とそのタイミングを簡単化して示している。図9において、t CMSはコマンド・セットアップ・タイム、t CMHはコマンド・ホールド・タイム、t ASはアドレス・セットアップ・タイム、t AHはアドレス・ホールド・タイム、t DSはデータ入力・セットアップ・タイム、及びt DHはデータ入力・ホールド・タイムをそれぞれ示しており、斜線を付した領域はDon't Careである。

【0004】バンクアクティブコマンドが入力される（コマンドCOMとして働く各種のコントロール信号のうち／CSは“L”レベル、／RASは“L”レベル、／CASは“H”レベル、／WEは“H”レベル）と、アドレス信号Addのうちのロウアドレスが取り込まれる。この時、アウトプット・ディセーブル／ライトマスクDQMは“L”レベル、クロックイネーブル信号CKEは“H”レベルである。

【0005】続いて、ライトコマンドが入力される（コマンドCOMとして働く各種のコントロール信号のうち／CSは“L”レベル、／RASは“H”レベル、／CASは“L”レベル、／WEは“L”レベル）と、アドレス信号Addのうちのカラムアドレスが取り込まれる。この時、アウトプット・ディセーブル／ライトマスク信号DQMは“L”レベルを維持し、クロックイネーブル信号CKEは“H”レベルを維持している。これによって、ライトデータDQとしてDin1, Din2, …が順次メモリセルに供給されて書き込みが行われる。

【0006】上記SDRAMでは、クロック信号CLKの“L”レベルと“H”レベルの1/2レベルへの立ち上がりを基準にセットアップとホールドを規定する。また、各入力信号波形も信号の切り替わりのときの1/2レベルが起点となる。

【0007】DDR-SDRAMは、基本的には上述したSDRAMと同様な構成を有しており、且つ同様な動作を行うものであるが、クロック信号CLKと逆相のクロック信号／CLKを入力するためのピンと、DQストローブ信号DQSを入力するためのピンが追加されている。DQストローブ信号DQSは、基本的にはライトデータDQと同様な信号であるが、ライト時に外部から入力され、リード時にはチップから出力される。

【0008】図10は、上記DDR-SDRAMの動作について説明するためのもので、ライトモードにおける各ピンへの入力信号波形とそのタイミングを簡単化して示している。図10において、t ISは入力セットアップ・タイム、t IHは入力ホールド・タイム、t DSはデータ入力・セットアップ・タイム、t DHはデータ入

力・ホールド・タイムである。

【0009】DDR-SDRAMにあっては、アドレス信号Add、コマンドCOM、クロックイネーブル信号CKEのセットアップとホールドは、クロック信号CLKと／CLKの交点でタイミングが規定される。現時点では、クロック信号CLKの“L”レベルから“H”レベルへの立ち上がりと、クロック信号／CLKの“H”レベルから“L”レベルへの立ち下がりの交点でのみコマンドCOMとアドレス信号Addの入力が許される規定になっている。要するに、クロック信号CLKが“L”レベルから“H”レベルに立ち上がるタイミングであるので、実質的にSDRAMと同じである。しかしながら、DDR-SDRAMでは、DQ（ライトデータ）ピンとDM（ライトマスクデータ）ピンの入力タイミングの規定は、DQストローブ信号DQSの立ち上がりエッジと立ち下がりエッジの両方で行われる。DDRの語源はここにあり、クロック信号CLKの倍周期でデータの読み出し、書き込みが行われる。

【0010】このように、DDR-SDRAMのライト動作では、各ピンへの信号の入力タイミングの規定がクロック信号CLK, ／CLKの交点と、DQストローブ信号DQSの立ち上がりエッジと立ち下がりエッジの両方で行われる。

【0011】ところで、DDR-SDRAMにおいては、上記クロック信号CLK, ／CLKとDQストローブ信号DQSの2信号間のスキーに関する、図11に示すような規定がある。図11において、t DSVは入力データのストローブ有効 WINDOW、t DQSSはクロックの“L”レベルから“H”レベルへの遷移のセットアップを示しており、t DSVで信号DQSのWINDOWを規定し、t DQSSでクロック信号CLKとの関係を規定している。

【0012】そもそも、クロック信号CLK, ／CLKと信号DQSは一本化されるべき信号であるが、クロックドライバの負担を軽減したいというユーザの要望からこのDQストローブ信号が生まれた。

【0013】前述したように、DDR-SDRAMでは、ライトモードの入力タイミングの規定に2種類の信号を用いている。この2信号間のスキーの時間は規定されているが、従来のSDRAMには存在しなかったものである。このため、仮にSDRAMのライトシステム（DQストローブ信号DQSとクロック信号CLKを外部から入力した場合）でDDR-SDRAMのライトシステムを構築すると問題を生ずる。

【0014】まず、SDRAMの基本的なライト動作を図12のタイミングチャートを用いて説明する。バンクアクティブ後に、ライトコマンドCOMが入力されると、（1）まずアドレス信号Add中のカラムアドレスをデコードし、クロック信号CLKに同期してカラム選択線CSLOを選択する。（2）並行してクロック信号

CLKに同期してライトデータDQ0の取り込みを行い、(3)このデータDQ0をライトドライバWDに転送し、メモリセルへの書き込みを行う。これら一連の動作は、絶対的な基準信号であるクロック信号CLKで同期が取られている。そして、クロック信号CLKの

"L" レベルから "H" レベルへの次の立ち上がりに同期して、データDQ1をライトドライバWDに転送してメモリセルへ書き込み、クロック信号CLKの "L" レベルから "H" レベルへのその次の立ち上がりに同期して、データDQ2をライトドライバWDに転送してメモリセルへ書き込み、以下、同様な動作を順次繰り返す。

【0015】これに対し、DDR-SDRAMでは、図10のタイミングチャートに示した通り、ライトコマンドとカラムアドレスの入力タイミングは、クロック信号CLKの "L" レベルから "H" レベルへの立ち上がりと、クロック信号/CLKの "H" レベルから "L" レベルへの立ち下がりの交点で規定されるので、カラム選択信号CSLとライトドライバはクロック信号CLKで制御される。DQストローブ信号DQSの立ち上がりと立ち下がりの両方でタイミングが規定されるライトデータDQ(Din0, Din1, Din2, ...)とライトマスクデータDMは、信号DQSの反転動作に同期して取り込まれ、それぞれの信号を信号DQSの反転に同期してライトドライバにデータ転送し、メモリセルへの書き込みが行われることになる。

【0016】しかし、このシステムでは、クロック信号CLK, /CLKとDQストローブ信号DQSとの間に、図13に示すようなスキューSKWが生じた場合、ライトデータDQとライトマスクデータDMのライトドライバへの転送タイミングが早くなったり(DQSが早い場合)遅くなったり(DQSが遅い場合)するので、ライト動作のマージンが減少する。また、スキューが大きくなれば、誤書き込みを生ずる可能性が高くなり、信頼性が低下する。

【0017】

【発明が解決しようとする課題】上記のように従来の半導体記憶装置は、クロック信号とDQストローブ信号との間にスキューが生じ、ライト動作のマージンが減少するという問題があった。

【0018】また、スキューが大きくなると誤書き込みを生ずる可能性が高くなり、信頼性が低下するという問題があった。

【0019】この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、外部入力信号であるクロック信号とDQストローブ信号間で生ずるスキューを最大限に許容できるライトシステムを備えた半導体記憶装置を提供することにある。

【0020】また、この発明の別の目的は、誤書き込みを確実に防止でき、信頼性を向上できる半導体記憶装置を提供することにある。

【0021】

【課題を解決するための手段】この発明の請求項1に記載した半導体記憶装置は、第1のクロック信号のロウレベルからハイレベルへの立ち上がりと、この第1のクロック信号とは逆相の第2のクロック信号のハイレベルからロウレベルへの立ち下がりの交点でライトコマンドとカラムアドレスの入力タイミングが規定され、ライト時に外部から入力され、リード時にはチップから出力されるDQストローブ信号の立ち上がりと立ち下がりの両方でライトデータとライトマスクデータの入力タイミングが規定される半導体記憶装置において、上記第1, 第2のクロック信号と上記DQストローブ信号との論理積に基づいて、ライトドライバに入力されるライトデータを制御することを特徴としている。

【0022】また、この発明の請求項2に記載した半導体記憶装置は、第1のクロック信号のロウレベルからハイレベルへの立ち上がりと、この第1のクロック信号とは逆相の第2のクロック信号のハイレベルからロウレベルへの立ち下がりの交点でライトコマンドとカラムアドレスの入力タイミングが規定され、ライト時に外部から入力され、リード時にはチップから出力されるDQストローブ信号の立ち上がりと立ち下がりの両方でライトデータとライトマスクデータの入力タイミングが規定される半導体記憶装置において、カラム選択信号がハイレベルになる期間と、ライトドライバの活性化期間を上記第1, 第2のクロック信号と上記DQストローブ信号との論理積に基づいて制御することを特徴としている。

【0023】更に、この発明の請求項3に記載した半導体記憶装置は、第1のクロック信号のロウレベルからハイレベルへの立ち上がりと、この第1のクロック信号とは逆相の第2のクロック信号のハイレベルからロウレベルへの立ち下がりの交点でライトコマンドとカラムアドレスの入力タイミングが規定され、ライト時に外部から入力され、リード時にはチップから出力されるDQストローブ信号の立ち上がりと立ち下がりの両方でライトデータとライトマスクデータの入力タイミングが規定される半導体記憶装置において、ライトデータが入力される第1の入力バッファの出力信号、上記第1, 第2のクロック信号が入力される第2の入力バッファの出力信号、上記第1, 第2のクロック信号が入力される第3の入力バッファの出力信号、及び上記DQストローブ信号が入力される第4の入力バッファの出力信号がそれぞれ入力され、上記第1の入力バッファの出力信号を、上記第2, 第3の入力バッファの出力信号と上記第4の入力バッファの出力信号の論理積に基づいてラッチするラッチ回路を設けたことを特徴としている。

【0024】この発明の請求項4に記載した半導体記憶装置は、第1のクロック信号のロウレベルからハイレベルへの立ち上がりと、この第1のクロック信号とは逆相の第2のクロック信号のハイレベルからロウレベルへの

立ち下がりの交点でライトコマンドとカラムアドレスの入力タイミングが規定され、ライト時に外部から入力され、リード時にはチップから出力されるDQストローブ信号の立ち上がりと立ち下がりの両方でライトデータとライトマスクデータの入力タイミングが規定される半導体記憶装置において、入力されたライトデータをDQストローブ信号のロウレベルからハイレベルへの立ち上がりに同期してラッチする第1の一次ラッチと、上記入力されたライトデータを上記DQストローブ信号のハイレベルからロウレベルへの立ち下がりに同期してラッチする第2の一次ラッチと、上記第1、第2の一次ラッチにラッチしたデータを、上記DQストローブ信号と上記第1、第2のクロック信号の論理積に基づいて、上記第1または第2のクロック信号の半周期保持する二次ラッチとを備え、この二次ラッチの出力信号をライトドライバにライトデータとして供給するライト制御クロック発生回路を設けたことを特徴としている。

【0025】更にまた、この発明の請求項5に記載した半導体記憶装置は、第1のクロック信号のロウレベルからハイレベルへの立ち上がりと、この第1のクロック信号とは逆相の第2のクロック信号のハイレベルからロウレベルへの立ち下がりの交点でライトコマンドとカラムアドレスの入力タイミングが規定され、ライト時に外部から入力され、リード時にはチップから出力されるDQストローブ信号の立ち上がりと立ち下がりの両方でライトデータとライトマスクデータの入力タイミングが規定される半導体記憶装置において、入力されたライトデータをDQストローブ信号のロウレベルからハイレベルへの立ち上がりに同期してラッチする第1の一次ラッチと、上記入力されたライトデータを上記DQストローブ信号のハイレベルからロウレベルへの立ち下がりに同期してラッチする第2の一次ラッチと、上記第1の一次ラッチにラッチしたデータを、上記DQストローブ信号と上記第1、第2のクロック信号の論理積に基づいて、上記第1または第2のクロック信号の一周期保持する第1の二次ラッチと、上記第2の一次ラッチにラッチしたデータを、上記DQストローブ信号と上記第1、第2のクロック信号の論理積に基づいて、上記第1または第2のクロック信号の一周期保持する第2の二次ラッチとを備え、これら第1、第2の二次ラッチの出力信号をライトドライバにライトデータとして供給するライト制御クロック発生回路を設けたことを特徴としている。

【0026】請求項1のような構成によれば、第1、第2のクロック信号とDQストローブ信号との論理積に基づいて、ライトドライバに入力されるライトデータを制御するので、クロック信号とDQストローブ信号との間にスキューが生じるのを防止でき、ライト動作のマージンの減少を抑制できる。また、必要以上にスキューが大きくなることはないので、誤書き込みを防止して信頼性向上できる。

【0027】また、請求項2のような構成によれば、カラム選択信号がハイレベルになる期間と、ライトドライバの活性化期間を上記第1、第2のクロック信号と上記DQストローブ信号との論理積に基づいて制御するので、クロック信号とDQストローブ信号との間にスキューが生じるのを防止でき、ライト動作のマージンの減少を抑制できる。また、必要以上にスキューが大きくなることはないので、誤書き込みを防止して信頼性向上できる。

【0028】更に、請求項3のような構成によれば、ラッチ回路は、第1、第2のクロック信号が入力される第2、第3の入力バッファの出力信号と上記第4の入力バッファの出力信号の論理積に基づいて、ライトデータが入力される第1の入力バッファの出力信号をラッチするので、クロック信号とDQストローブ信号との間にスキューが生じるのを防止でき、ライト動作のマージンの減少を抑制できる。また、必要以上にスキューが大きくなることはないので、誤書き込みを防止して信頼性向上できる。

【0029】請求項4のような構成によれば、入力されたライトデータをDQストローブ信号に同期してラッチする一次ラッチとして、DQストローブ信号のロウレベルからハイレベルへの立ち上がりに同期してラッチする第1の一次ラッチと、DQストローブ信号のハイレベルからロウレベルへの立ち下がりに同期してラッチする第2の一次ラッチとの2つのバスに分けているので、チップ内部のライトデータの保持期間を延ばすことができ、二次ラッチへの転送マージンが生まれる。これによって、スキューが大きくなても、誤書き込みを防止して信頼性向上できる。

【0030】更にまた、請求項5のような構成によれば、入力されたライトデータをDQストローブ信号に同期してラッチする一次ラッチとして、DQストローブ信号のロウレベルからハイレベルへの立ち上がりに同期してラッチする第1の一次ラッチと、DQストローブ信号のハイレベルからロウレベルへの立ち下がりに同期してラッチする第2の一次ラッチとの2つのバスに分けているので、チップ内部のライトデータの保持期間を延ばすことができ、第1、第2の二次ラッチへの転送マージンが生まれる。これによって、スキューが大きくなても、誤書き込みを防止して信頼性向上できる。しかも、二次ラッチも上記第1、第2の一次ラッチに対応して2つ設けているので、データウィンドウが第1、第2のクロック信号の1周期分保持でき、回路動作上のマージンをより大きくできる。

【0031】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。図1は、この発明の実施の形態に係る半導体記憶装置について説明するためのもので、DDR-SDRAMにおけるカラム系の回路を抽

出して概略構成を示している。

【0032】ここで説明するDQラッチシステムは、(RWD線の)WDシリアル転送タイプを主例にあげ、パラレル転送タイプについては一例として列記する。【0033】図1に示すDDR-SDRAMは、入力バッファ11～16、ラッチ回路17、カラムアドレスラッチ18、カウンタ19、モードセットレジスタ20、カラムプリデコーダ21、ライト制御クロック発生回路22、ライトドライバ(WD)23、メモリセルアレイ24、カラムデコーダ25、及びロウデコーダ26等を含んで構成されている。上記入力バッファ11にはライトデータDQn、上記入力バッファ12にはアドレス信号Addn、上記入力バッファ13にはクロック信号CLK、/CLK、上記入力バッファ14にはクロック信号CLK、/CLK、上記入力バッファ15にはDQSストローブ信号DQS、及び上記入力バッファ16にはコントロール信号/RAS、/CAS、/WE、/CSがそれぞれ入力される。上記各入力バッファ11、13、14、15の出力信号IntDQ、IntCLK、/IntCLK、IntDQSはそれぞれ、ラッチ回路17に供給される。上記入力バッファ12、13は、実質的に同じ差動入力型の構成になっており、それぞれにクロック信号CLK、/CLKが差動入力信号として供給される。この際、入力バッファ12の一方の入力端にはクロック信号CLKが入力され、他方の入力端にはクロック信号/CLKが供給される。入力バッファ13の上記入力バッファ12の一方の入力端に対応する入力端にはクロック信号/CLKが供給され、他方の入力端に対応する入力端にはクロック信号CLKが供給される。これら入力バッファ12、13の出力信号は、上記カラムアドレスラッチ18に供給される。このカラムアドレスラッチ18には、カウンタ19が設けられており、ラッチ動作を行う度にカウントアップされるようになっている。上記入力バッファ13、15の出力信号IntCLK(/IntCLK)、IntDQS(/IntDQ)は、ライト制御クロック発生回路22に供給される。また、上記入力バッファ13、16の出力信号は、モードセットレジスタ20に供給され、このモードセットレジスタ20から各モードエントリ信号が出力される。

【0034】上記ラッチ回路17の出力信号WDnは、ライトドライバ23に供給される。また、上記カラムアドレスラッチ18の出力信号は、カラムプリデコーダ21に供給されてプリデコードされ、このカラムプリデコーダ21から出力されるプリデコード信号が上記ライトドライバ23及びカラムデコーダ25に供給される。更に、上記ライト制御クロック発生回路22の出力信号は、上記ライトドライバ21及びカラムデコーダ25に供給される。そして、上記ライトドライバ23の出力信号が上記メモリセルアレイ24に供給されるようになっ

ている。

【0035】上記メモリセルアレイ24には、行方向に沿って複数のワード線WLが設けられ、列方向に沿って複数のビット線BLが設けられており、これらワード線WLとビット線BLとの各交差位置にトランジスタとキャパシタとからなるメモリセルMCが配置されている。上記ワード線WLはロウデコーダ26によって選択され、上記ビット線BLはカラムデコーダ25によって選択される。

【0036】なお、図示しないが、上記ロウデコーダ26にはロウ系の回路が接続され、ワード線WLの選択が行われるようになっている。

【0037】図2(a)～(c)及び図3はそれぞれ、上記図1に示した回路におけるラッチ回路17の詳細な構成例を示している。図2(a)に示す回路は、入力バッファ13から出力された内部クロック信号IntCLKからラッチ動作制御用のクロック信号CLKINCとCLKINTを生成する回路であり、インバータ31、32、33とトランスファゲート34などを含んで構成されている。上記トランスファゲート34は、ゲートが電源Vccに接続されたNチャネル型MOSトランジスタの電流通路と、ゲートが電源Vssに接続されたPチャネル型MOSトランジスタの電流通路が並列接続されて構成されている。

【0038】内部クロック信号IntCLKはインバータ31の入力端に供給され、このインバータ31の出力信号がインバータ32、33を順次経由し、インバータ33の出力端からクロック信号CLKINCが出力される。また、内部クロック信号IntCLKは、インバータ31、32及びトランスファゲート34を順次経由し、クロック信号CLKINTとして出力される。

【0039】図2(b)に示す回路は、入力バッファ14から出力された内部クロック信号/IntCLKからラッチ動作制御用のクロック信号/CLKINCと/CLKINTを生成する回路であり、インバータ35、36、37とトランスファゲート38などを含んで構成されている。上記トランスファゲート38は、ゲートが電源Vccに接続されたNチャネル型MOSトランジスタの電流通路と、ゲートが電源Vssに接続されたPチャネル型MOSトランジスタの電流通路が並列接続されて構成されている。

【0040】内部クロック信号/IntCLKはインバータ35の入力端に供給され、このインバータ35の出力信号がインバータ36、37を順次経由し、インバータ37の出力端からクロック信号/CLKINCが出力される。また、内部クロック信号/IntCLKは、インバータ35、36及びトランスファゲート38を順次経由し、クロック信号/CLKINTとして出力される。

【0041】図2(c)に示す回路は、入力バッファ1

5から出力された内部DQストローブ信号 I nt DQS からラッチ動作制御用のDQストローブ信号DQS IN CとDQS INTを生成する回路であり、インバータ39, 40, 41とトランスマスファゲート42とを含んで構成されている。上記トランスマスファゲート42は、ゲートが電源Vccに接続されたNチャネル型MOSトランジスタの電流通路と、ゲートが電源Vssに接続されたPチャネル型MOSトランジスタの電流通路が並列接続されて構成されている。

【0042】内部DQストローブ信号 I nt DQSはインバータ39の入力端に供給され、このインバータ39の出力信号がインバータ40, 41を順次経由し、インバータ41の出力端からDQストローブ信号DQS IN Cが出力される。また、内部DQストローブ信号 I nt DQSは、インバータ39, 40及びトランスマスファゲート42を順次経由し、DQストローブ信号DQS INTが出力される。

【0043】図3に示す回路は、ラッチ回路17の要部をなすもので、上記図2(a)～(c)に示した回路から出力される信号CLK INC, CLK INT, /CLK INC, /CLK INT, DQS INC, DQS INTによる制御に基づいて、入力バッファ11から出力される内部ライトデータ I nt DQをラッチし、ライトドライバ23に出力信号WD nを供給するものである。

【0044】この回路は、トランスマスファゲート43, 44、クロックドインバータ45, 46、インバータ47, 48, 61, 62, 63、Pチャネル型MOSトランジスタ49, 50, 51, 55, 56, 57、及びNチャネル型MOSトランジスタ52, 53, 54, 58, 59, 60を含んで構成されている。入力バッファ11の出力信号 I nt DQは、トランスマスファゲート43, 44の一端に供給される。上記トランスマスファゲート43, 44は、図2(c)に示した回路から出力される信号DQS INTとDQS INCで転送動作が制御される。上記トランスマスファゲート43の他端には、上記クロックドインバータ45の出力端とインバータ47の入力端が接続され、上記トランスマスファゲート44の他端には、上記クロックドインバータ46の出力端とインバータ48の入力端が接続されている。上記クロックドインバータ45, 46は、上記信号DQS INTとDQS INCで動作が制御される。

【0045】上記クロックドインバータ45の入力端とインバータ47の出力端との接続点(ノードNa)には、MOSトランジスタ51, 52のゲートが接続される。上記MOSトランジスタ49～54の電流通路は、電源VccとVss間に直列接続されている。MOSトランジスタ49のゲートには図2(a)に示した回路から出力される信号CLK INCが供給され、MOSトランジスタ50のゲートには上記信号DQS INCが供給される。また、MOSトランジスタ53のゲートには上

記信号DQS INTが供給され、MOSトランジスタ54のゲートには上記信号CLK INTが供給される。

【0046】同様に、上記クロックドインバータ46の入力端とインバータ48の出力端との接続点(ノードNb)には、MOSトランジスタ57, 58のゲートが接続される。上記MOSトランジスタ55～60の電流通路は、電源VccとVss間に直列接続されている。MOSトランジスタ55のゲートには図2(b)に示した回路から出力される信号/CLK INCが供給され、MOSトランジスタ56のゲートには上記信号DQS INTが供給される。また、MOSトランジスタ59のゲートには上記信号DQS INCが供給され、MOSトランジスタ60のゲートには上記信号/CLK INTが供給される。

【0047】上記MOSトランジスタ51, 52の電流通路の接続点及び上記MOSトランジスタ57, 58の電流通路の接続点はそれぞれ、インバータ61の入力端及びインバータ62の出力端に接続される。このインバータ61の出力端には、インバータ62, 63の入力端が接続される。そして、上記インバータ63の出力端からライトドライバ23に出力信号WD nが出力される。

【0048】図4(a), (b)はそれぞれ、上記図1に示した回路におけるライト制御クロック発生回路22の構成例について説明するためのもので、(a)図は回路図、(b)図はこの回路に関係するDDR-SDRAMのタイミングチャートである。図4(a)に示す回路は、クロック信号CLKが“L”レベルから“H”レベルに立ち上がり、且つDQストローブ信号DQSが“L”レベルから“H”レベルに立ち上がるときにカラム選択信号CSLA, CSLBを“H”レベルにするものである。この回路は、 NANDゲート71, 77及びインバータ72～76, 78を含んで構成されている。NANDゲート71の入力端には、内部クロック信号I nt CLKと内部DQストローブ信号/I nt DQSが供給され、このNANDゲート71の出力はインバータ72, 73の入力端にそれぞれ供給される。上記インバータ72の出力信号は、 NANDゲート77の一方の入力端に供給され、上記インバータ73の出力信号は、インバータ74～76を介して上記NANDゲート77の他方の入力端に供給される。そして、このNANDゲート77の出力がインバータ78を介して信号C o 1 CLKとして出力され、ライトドライバ23とカラムデコード25に供給される。上記信号C o 1 CLKは、インバータ73～76による信号遅延時間とインバータ72による信号遅延時間との差に相当するパルス幅の信号となる。

【0049】次に、図5のタイミングチャートを参照しつつ上記図1乃至図4に示したDDR-SDRAMのライト動作をラッチ回路17に着目して説明する。

【0050】ライトデータDQとライトマスクデータDMの取り込みは、DQストローブ信号DQSの立ち上

りエッジと立ち下がりエッジで行う (t_{DS}/t_{TH} 規定による) ので、図3に示したラッチ回路17における一次ラッチは内部DQストローブ信号 I_{ntDQS} から生成した信号 $DQSINT$, $DQSINC$ で制御している。また、二次ラッチは、クロック信号 CLK の立ち上がりとクロック信号/ CLK の立ち下がりの交点とDQストローブ信号 DQS の反転動作に同期させために、内部クロック信号 I_{ntCLK} から生成した信号 $CLKINT$, $CLKINC$ 、内部クロック信号/ I_{ntCLK} から生成した信号/ $CLKINT$, $/CLKINC$ 、及び上記信号 $DQSINT$, $DQSINC$ で制御している。

【0051】これによって、図5のタイミングチャートに示すように、内部ライトデータ I_{ntDQ} (DQa , DQb , DQc , DQd , ...) は、内部DQストローブ信号 I_{ntDQS} の立ち下がりに応答してクロックドインバータ45とインバータ47とで形成されたラッチ部(ノード N_a)にラッチされ、内部DQストローブ信号 I_{ntDQS} の立ち上がりに応答してクロックドインバータ46とインバータ48とで形成されたラッチ部(ノード N_b)にラッチされる。そして、上記インバータ63の出力端から、出力信号 WDn が出力される。

【0052】DDR-SDRAMでは、DQストローブ信号 DQS とクロック信号 CLK を同相で動かすが、この時にDQストローブ信号 DQS の立ち上がりエッジと立ち下がりエッジでラッチする回路バスを上下に振り分けることで内部ラッチデータウィンドウを広げることができる。ここを2分割構成にする理由は、DQストローブ信号 DQS とクロック信号 CLK との間にスキーが生じた場合に2分割構成でなければ二次ラッチへの転送マージンが減るからである。

【0053】このラッチ回路17で、DQストローブ信号 DQS とクロック信号 CLK に同期したライトデータ DQ とライトマスクデータ DM が生成され、この信号が RWD 線を介してライトドライバ23へ転送される。このライトドライバ23によって、 M/L DQ 線を介してメモリセルMCへの書き込みが行われる。

【0054】このライトドライバ23へのデータ取り込みのトリガ信号にも、同じくクロック信号 CLK とDQストローブ信号 DQS との論理積信号 $C_{o1}CLK$ が用いられる。すなわち、ライト制御クロック発生回路22の出力信号が上記トリガ信号として用いられる。これは、クロック信号 CLK とDQストローブ信号 DQS との間にスキーが生じた場合に、クロック信号 CLK と同期して取り込まれたライトコマンド及びにカラムアドレス信号の制御が、ライトデータ DQ とライトマスクデータ DM がライトドライバ23に転送される前、または次のサイクルのデータが読み込まれるタイミングで動作しないよう(つまり、取り込まれたライトデータ DQ とライトマスクデータ DM のタイミングを合わせる)ため

である。このような構成にすることで、ライトデータ DQ とライトマスクデータ DM の取り込み、並びにライトドライバ23を活性化するタイミングをDQストローブ信号 DQS とクロック信号 CLK との論理積信号 $C_{o1}CLK$ で制御可能となる。

【0055】なお、この発明は上述した実施の形態に限定されるものではなく、要旨を逸脱しない範囲で種々変形して実施可能である。次に、上記ラッチ回路17と上記ライト制御クロック発生回路22の他の構成例について説明する。

【0056】図6(a), (b) はそれぞれ、上記図3に示した回路における二次ラッチの他の構成例について説明するための回路図である。図3に示した二次ラッチは、入力されたデータをクロック信号 CLK , $/CLK$ の半周期だけ保持するのに対し、クロック信号 CLK , $/CLK$ の1周期保持するものである。図6(a)に示す回路部は、上記図3に示した回路における一次ラッチのノード N_a に接続され、図6(b)に示す回路部は、上記図3に示した回路における一次ラッチのノード N_b に接続される。すなわち、上記図3に示した回路では、一次ラッチの2つのバスを転送されたデータを1つの2次ラッチに入力するのに対し、図6(a), (b) に示す回路では一次ラッチの2つのバスに転送されたデータを2つの2次ラッチに入力している。

【0057】図3に示したような回路構成では、ライトデータとライトマスクデータをシリアルに時分割して転送するので、ライトドライバ23までのバスラインの数を削減できるが、データウィンドウがクロック信号 CLK の1/2周期しか保持できない。これに対し、図6(a), (b) に示すような構成によれば、バスラインの数は多く必要になるものの、データウィンドウがクロック信号 CLK , $/CLK$ の一周期分保持できるので、図3に示した構成に比して回路動作上のマージンを大きくできる。

【0058】図7(a), (b) はそれぞれ、図1に示した回路におけるライト制御クロック発生回路22の他の構成例について説明するためのもので、(a) 図は回路図、(b) 図はこの回路に関するDDR-SDRAMのタイミングチャートである。図7(a)に示す回路は、クロック信号 CLK が “L” レベルから “H” レベルに立ち上がり、且つDQストローブ信号 DQS が “L” レベルから “H” レベルに立ち上がるときにカラム選択信号 $CSLA$ を “H” レベルにし、クロック信号 $/CLK$ が “H” レベルから “L” レベルに立ち下がり、且つDQストローブ信号 DQS が “H” レベルから “L” レベルに立ち下がるときにカラム選択信号 $CSLB$ を “H” レベルにするものである。この回路は、 NANDゲート71, 77, 91, 97 及びインバータ72～76, 78, 92～96, 98を含んで構成されている。NANDゲート71の入力端には、内部クロック信号

*I nt CLK*と内部DQストローブ信号/*I nt DQS*が供給され、この NANDゲート71 の出力はインバータ72、73の入力端にそれぞれ供給される。上記インバータ72の出力信号は、NANDゲート77の一方の入力端に供給され、上記インバータ73の出力信号は、インバータ74～76を介して上記NANDゲート77の他方の入力端に供給される。そして、このNANDゲート77の出力がインバータ78を介して信号C o I CLKとして出力される。また、NANDゲート91の入力端には、内部クロック信号/*I nt CLK*と内部DQストローブ信号/*I nt DQS*が供給され、このNANDゲート91の出力はインバータ92、93の入力端にそれぞれ供給される。上記インバータ92の出力信号は、NANDゲート97の一方の入力端に供給され、上記インバータ93の出力信号は、インバータ94～96を介して上記NANDゲート97の他方の入力端に供給される。そして、このNANDゲート97の出力がインバータ98を介して信号/C o I CLKとして出力され、ライトドライバ23とカラムデコーダ25に供給される。

【0059】このような構成であっても、外部入力信号であるクロック信号とDQストローブ信号間で生ずるスキューを最大限に許容でき、また、誤書き込みを確実に防止して信頼性を向上できる。

【0060】図8は、上記図4(a)に示した回路の他の構成例を示す回路図である。この回路は、NANDゲート81～84、インバータ88～90、Pチャネル型MOSトランジスタ85、Nチャネル型MOSトランジスタ86及び抵抗87を含んで構成されている。NANDゲート81の入力端には、内部クロック信号*I nt CLK*と内部DQストローブ信号/*I nt DQS*が供給され、このNANDゲート81の出力はNANDゲート82の一方の入力端に供給される。上記NANDゲート82の出力信号は、NANDゲート83、84の一方の入力端及びMOSトランジスタ85、86のゲートに供給され、上記NANDゲート82の他方の入力端には上記NANDゲート83の出力信号が供給される。上記MOSトランジスタ85の電流通路、抵抗87及びMOSトランジスタ86の電流通路は、電源VccとVss間に直列接続される。上記MOSトランジスタ85と抵抗87との接続点にインバータ88の入力端が接続され、このインバータ88の出力信号はインバータ89の入力端に供給される。上記インバータ89の出力信号は、NANDゲート83、84の他方の入力端に供給される。そして、このNANDゲート84の出力がインバータ90を介して信号C o I CLKとして出力され、ライトドライバ23とカラムデコーダ25に供給される。

【0061】なお、上記図8に示した回路を2つ用意し、図7(a)に示した回路と同様に信号*I nt CLK*、/*I nt DQS*と信号/*I nt CLK*、/*I nt DQS*をそれぞれ入力すれば、図7(a)に示した回路と

同様な動作を行い、同じ作用効果が得られる。

【0062】

【発明の効果】以上説明したように、この発明によれば、外部入力信号であるクロック信号とDQストローブ信号間で生ずるスキューを最大限に許容できるライトシステムを備えた半導体記憶装置が得られる。

【0063】また、誤書き込みを確実に防止でき、信頼性を向上できる半導体記憶装置が得られる。

【図面の簡単な説明】

【図1】この発明の実施の形態に係る半導体記憶装置について説明するためのもので、DDR-SDRAMにおけるカラム系の回路を抽出して概略構成を示すブロック図。

【図2】図1に示した回路におけるラッチ回路の構成例について説明するためのもので、(a)図は内部クロック信号からライト動作制御用のクッロク信号を生成する回路を示す図、(b)図は内部クロック信号からライト動作制御用のクッロク信号を生成する回路を示す図、(c)図は内部DQストローブ信号からライト動作制御用のDQストローブ信号を生成する回路を示す図。

【図3】図1に示した回路におけるラッチ回路の詳細な構成例について説明するためのもので、要部を示す回路図。

【図4】図1に示した回路におけるライト制御クロック発生回路の構成例について説明するためのもので、

(a)図は回路図、(b)図はこの回路に関係するDDR-SDRAMのタイミングチャート。

【図5】この発明の実施の形態に係る半導体記憶装置の動作を説明するためのタイミングチャート。

【図6】図3に示したラッチ回路の他の構成例について説明するためのもので、(a)図は二次ラッチの一部を示す回路図、(b)図は二次ラッチの他の一部を示す回路図。

【図7】図1に示した回路におけるライト制御クロック発生回路の他の構成例について説明するためのもので、

(a)図は回路図、(b)図はこの回路に関係するDDR-SDRAMのタイミングチャート。

【図8】図5(a)に示した回路の他の構成例を示す回路図。

【図9】SDRAMのライトモードにおける各ピンへの入力信号波形とそのタイミングを示すタイミングチャート。

【図10】DDR-SDRAMのライトモードにおける各ピンへの入力信号波形とそのタイミングを示すタイミングチャート。

【図11】DDR-SDRAMにおけるクロック信号とDQストローブ信号の2信号間のスキューに関する規定について説明するためのタイミングチャート。

【図12】SDRAMの基本的なライト動作について説明するためのタイミングチャート。

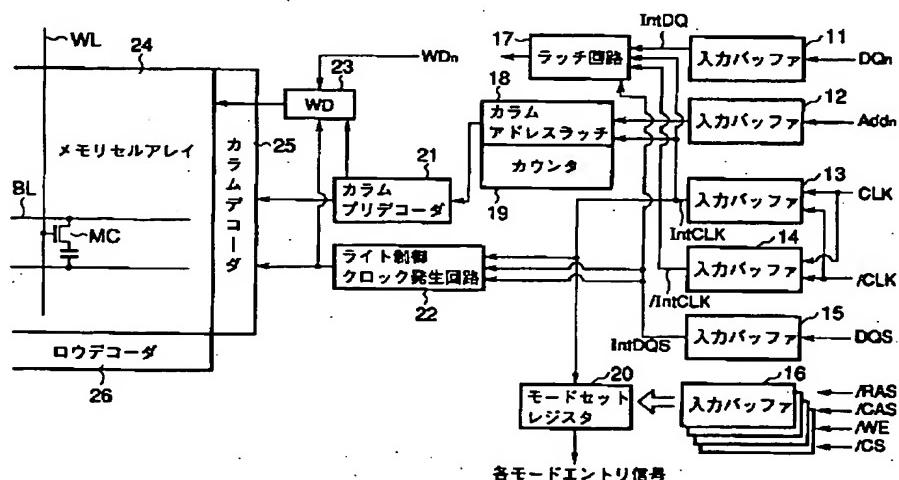
【図13】DDR-SDRAMにおけるクロック信号とDQストローブ信号との間に生ずるスキューが0の場合、DQストローブ信号が早い場合、DQストローブ信号が遅い場合、それぞれのタイミングチャート。

【符号の説明】

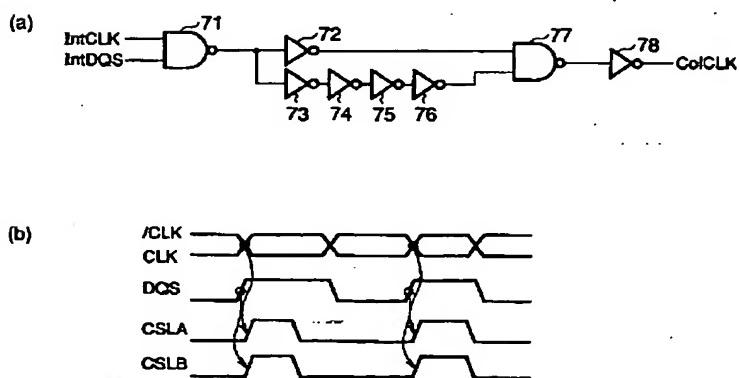
- 11～16…入力バッファ、
- 17…ラッチ回路、
- 18…カラムアドレスラッチ、
- 19…カウンタ、
- 20…モードセットレジスタ、
- 21…カラムプリデコーダ、
- 22…ライト制御クロック発生回路、
- 23…ライトドライバ、

- 24…メモリセルアレイ、
- 25…カラムデコーダ、
- 26…ロウデコーダ、
- Addn…アドレス信号、
- DQn…ライトデータ、
- CLK…クロック信号（第1のクロック信号）、
- /CLK…クロック信号（第2のクロック信号）、
- DQS…DQストローブ信号、
- /RAS, /CAS, /WE, /CS…コントロール信号、
- COM…コマンド、
- DM…ライトマスクデータ。

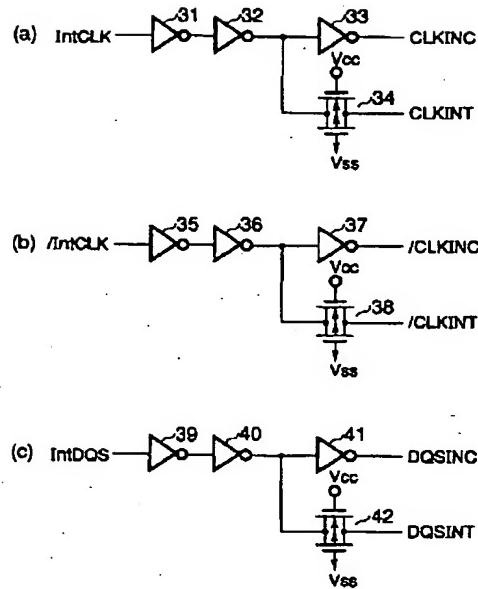
【図1】



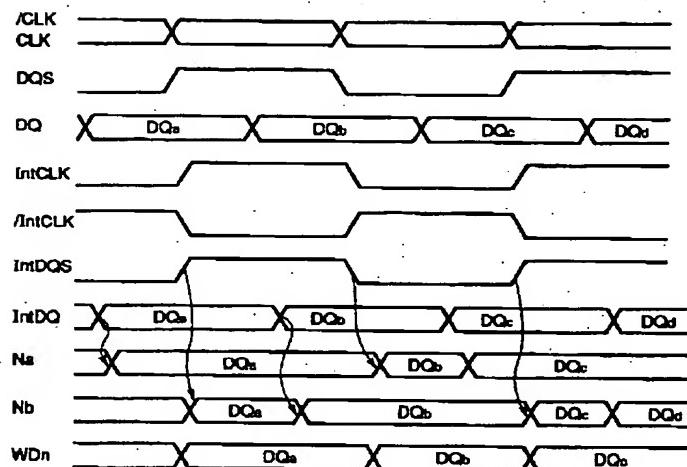
【図4】



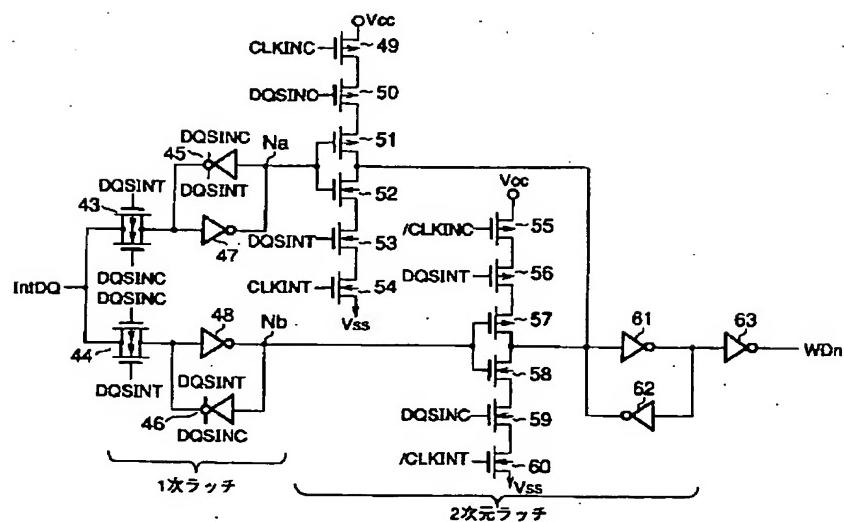
【図2】



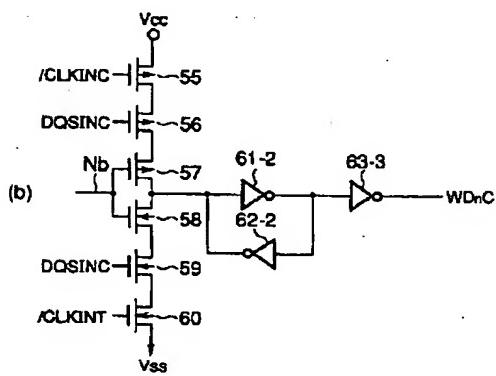
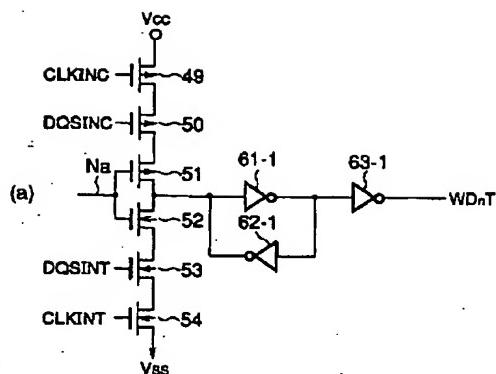
【図5】



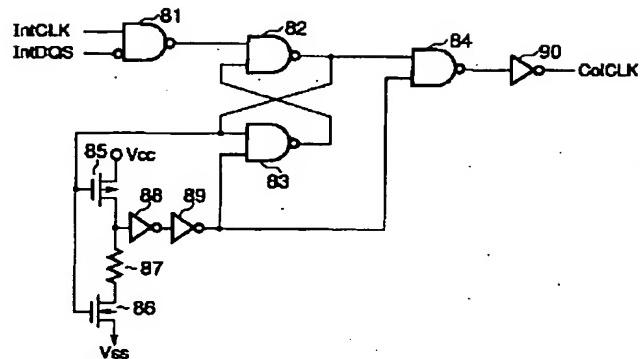
【図3】



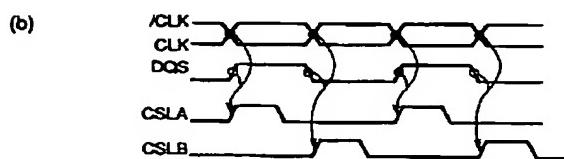
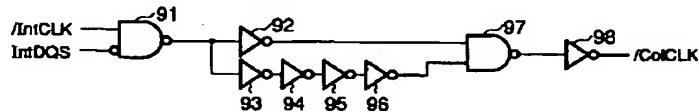
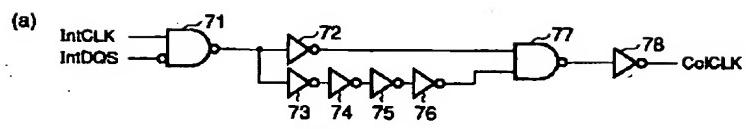
【図6】



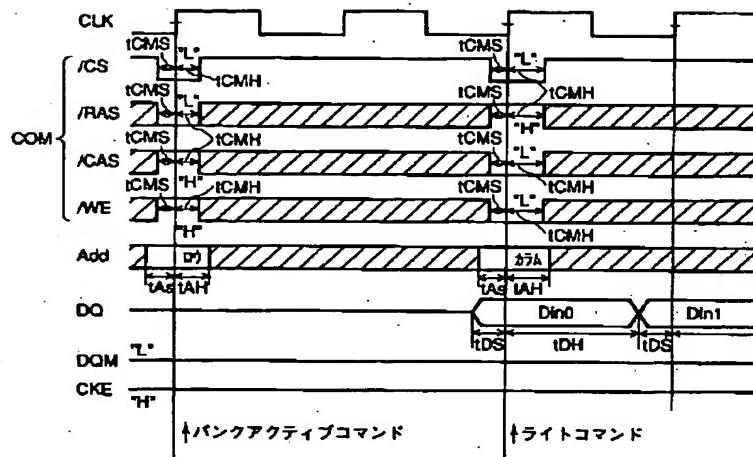
【図8】



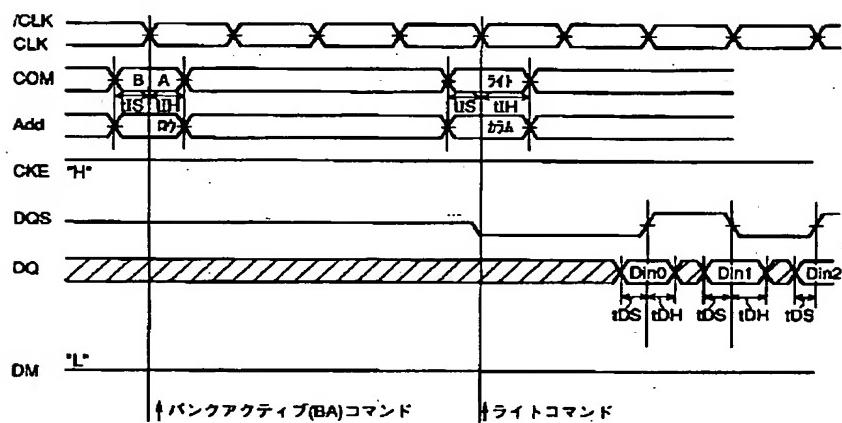
【図7】



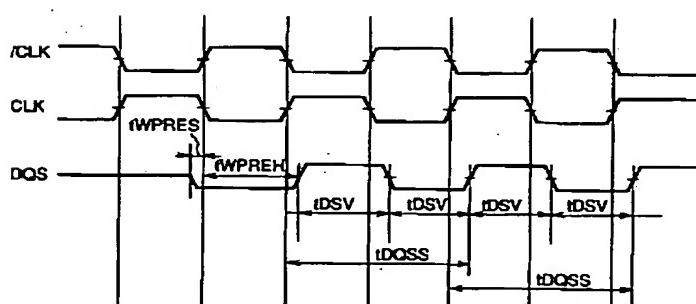
【図9】



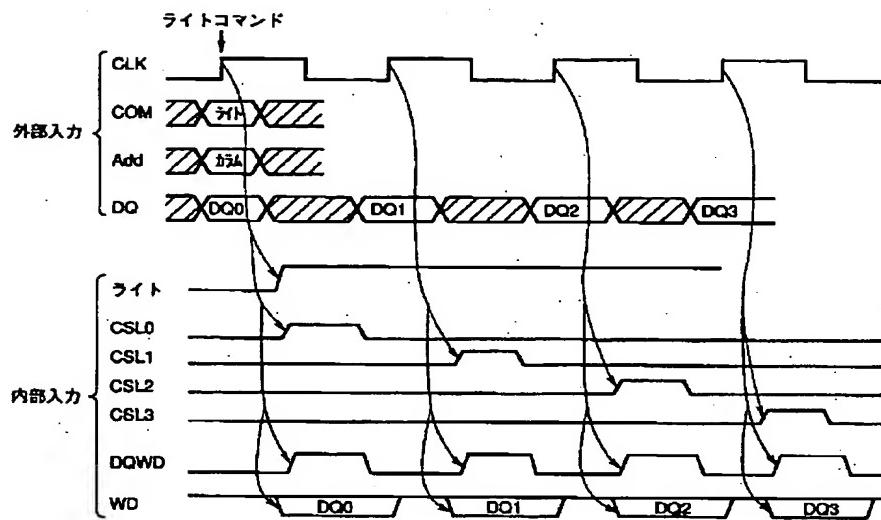
【図10】



【図11】



【図12】



【図13】

